

RAPPORT DE STAGE

Compagnie Internationale Pour l'Informatique
Institut Universitaire de Technologie de Toulouse
Département de Génie Électrique
Option Électronique



1972

Sommaire

Avant Propos

Chapitre I Problèmes généraux

Chapitre II Problèmes techniques

- La gamme CII
- Différentes mémoires
 - + P1 - POM
 - + P2 MS
 - + P3
 - + Q0
- Différents tests des mémoires
 - + Test des tissages
 - + Test des plans interrupteurs
 - + Test des plans équipés MAP

Conclusion

Avant Propos

Je tiens à remercier la Direction de la Compagnie Internationale pour l'Informatique qui m'a donné la possibilité de faire un stage scolaire de deux mois, entrant dans le cadre de mes études à l'Institut Universitaire de Technologie.

Je remercie également tous les techniciens du service mémoire qui m'ont guidé dans le travail qui m'a été confié et qui ont aimablement répondu à mes sollicitations.

J'ai pu grâce à ce stage me faire une idée du travail de technicien dans une usine, et des relations humaines entre les différents services et classes hiérarchiques.

Chapitre I

Problèmes Généraux

La CII « Compagnie Internationale pour l'Informatique » est une société anonyme au capital de 133 000 000 Francs pour un chiffre d'affaire de 509 000 000 Francs en 1970.

Son siège en France est à Louveciennes. Il y a de nombreuses filiales à l'étranger :

- En Allemagne « Francfort »,
- En Italie « Milan »,
- En Espagne « Madrid ».

En France et à l'étranger CII est présente dans les secteurs d'activités suivants :

- Administrations locales,
- Aérospatial,
- Affaires sociales et santé publique,
- Assurances et Banques,
- Défense Nationale,
- Enseignement,
- Recherche,
- Télécommunications et transports.

Déjà leader européen pour les applications industrielles, en même temps que constructeur d'équipements spécialisés pour la Défense Nationale, CII couvre dorénavant tout le champ de l'informatique, depuis la gestion de l'entreprise moyenne jusqu'aux plus gros travaux scientifiques.

En 1971, CII avait installé plus de 700 systèmes. Une première étape.

Pour franchir la deuxième, CII agrandit de moitié son usine de Toulouse. Simultanément, elle recrute des centaines d'ingénieurs. Crée des délégations commerciales dans chaque métropole régionale, développe son école de formation et étend, tous les jours son réseau de maintenance.

D'Iris 45 à Iris 80, CII produit et commercialise une ligne continue d'ordinateurs universels qui participent au plus haut niveau, à la compétition internationale.

Par leur caractère modulaire ils répondent parfaitement aux besoins exprimés par les utilisateurs et suivent l'évolution de leurs applications. Leurs systèmes d'exploitation modulaires comme le hardware, permettent le passage aisé d'un modèle à un autre modèle plus puissant.

Iris 80

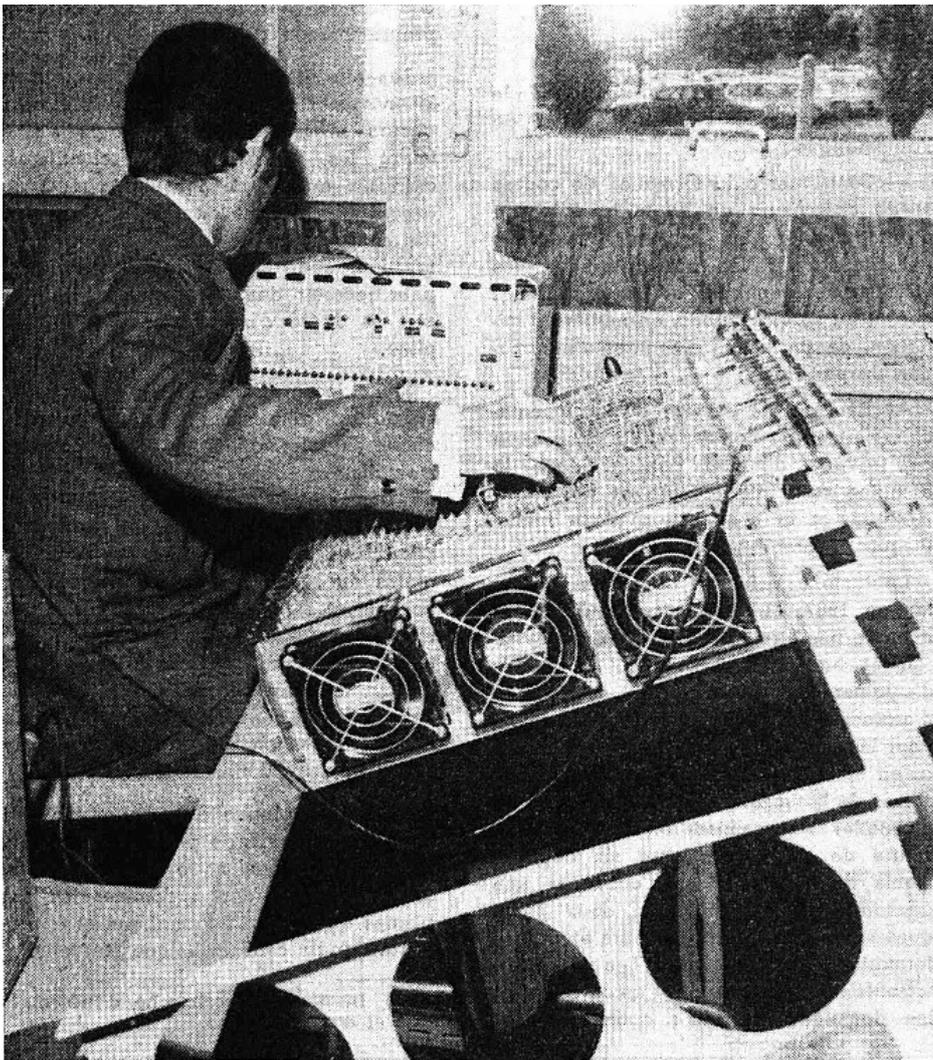


CII

Conception

C'est dans son centre des Clayes-sous-Bois que CII étudie et développe ses nouveaux systèmes. 1800 personnes y travaillent, pour la plupart des ingénieurs. C'est là également, dans ses laboratoires de recherche, que la compagnie prépare l'informatique de demain.

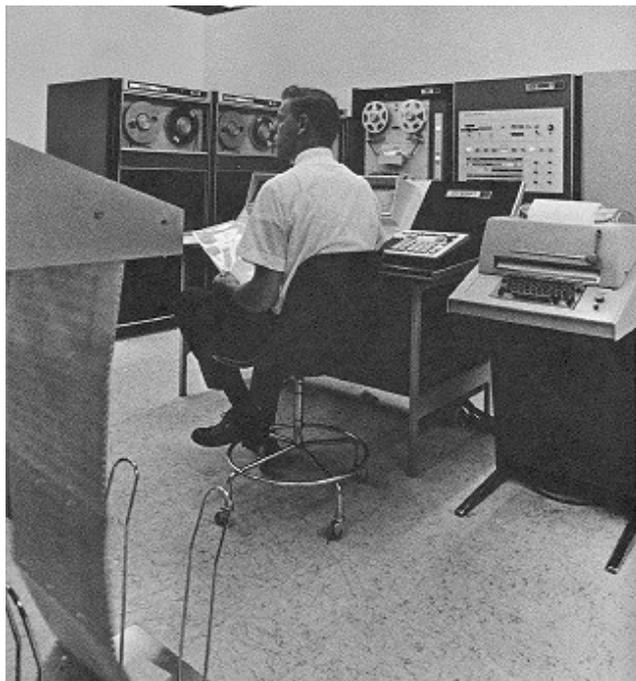
Nouvelles architectures de systèmes, nouveaux langages, dialogue homme machine, composants fondamentaux, blocs d'interconnexion à très haute densité, mémoires de masse optiques ou holographiques. Des études approfondies sont menées dans tous les domaines, avec un objectif commun, rendre plus facile et plus accessible l'emploi des ordinateurs.



Mise au point de l'unité d'échange par simulateur d'un prototype d'Iris 50 à l'usine de la C.I.I. des Clayes-sous-Bois.

Production

Après homologation des premiers systèmes, l'usine de Toulouse prend en charge leur fabrication en série industrielle. Qualité de l'environnement, implantation rationnelle, automatisation, en font un outil de production perfectionné. Des moyens de contrôle puissants garantissent à chacune des étapes, la robustesse et la fiabilité du matériel. Avant son départ en clientèle, chaque système est éprouvé par une simulation complète.



Assistance

En région parisienne comme en province, les équipes d'ingénieurs CII apportent à l'utilisateur tous les services :

- Assistance dans le choix de la configuration des systèmes et des programmes.
- Installation du système et maintenance. Pour la maintenance 600 responsables qualifiés sont prêts à intervenir immédiatement, 24 heures sur 24.
- Formation des utilisateurs avec un cycle complet de cours sur les machines et le software.
- Centres de calcul pour tester les programmes, ou pour assister l'utilisateur en cas de surcharge de son propre système.
- Bibliothèque très complète de programmes d'application.

Chapitre II

Problèmes Techniques

La Gamme CII

Après la série Iris, CII possède une ligne continue d'ordinateurs universels. Ainsi dotée, CII vise directement à la pénétration du secteur privé et des marchés internationaux qui représentent pour elle l'une des conditions indispensables de sa croissance et de sa rentabilité.

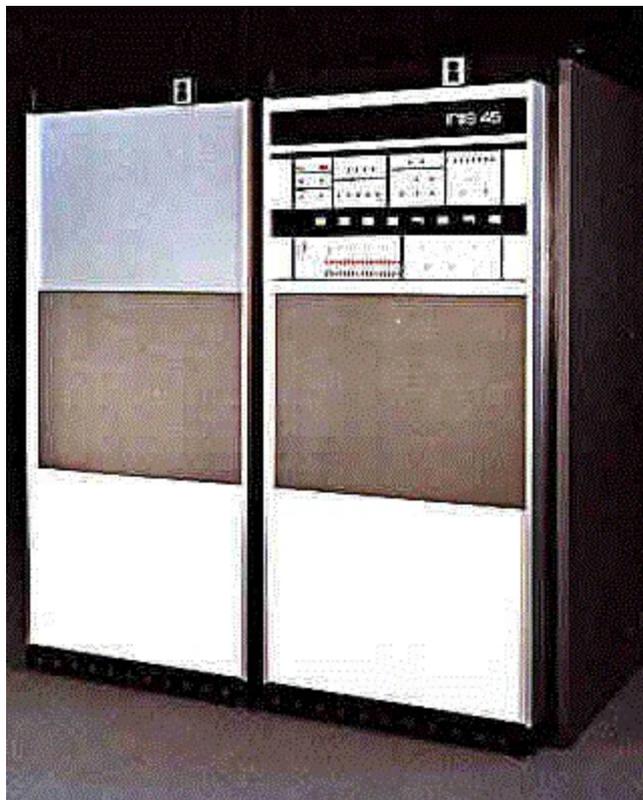
Iris 45

Premier échelon de la gamme, Iris 45 permet l'accès direct à une véritable gestion automatisée.

Son software est facile à assimiler et tous ses programmes d'application sont transposables immédiatement sur Iris50.

- Capacité mémoire	48 à 128 K octet
- Cycle mémoire	1,2 microseconde / 2 octets
- Débit mémoire	3 200 000 octets / seconde
- Vitesse de traitement	110 000 instructions / seconde
- Débit global des échanges	450 000 octets / seconde
- Système d'exploitation	Siris 2

Iris 45



Iris 50

Ordinateur de gestion, Iris 50 peut traiter parallèlement les travaux scientifiques ou techniques liés aux activités de l'entreprise.

Modulaire, Iris 50 est toujours exactement adapté aux besoins.

C'est un système très performant pour l'exploitation en multiprogrammation, la téléinformatique et la gestion en temps réel.

- Capacité mémoire	64 à 256 K Octets
- Cycle mémoire	950 nanoseconde / 2 Octets
- Débit mémoire	6 millions d'octets / seconde
- Vitesse de traitement	150 000 instructions / seconde
- Débit global des échanges	1 500 000 octets / seconde
- Système d'exploitation	Siris 2 – Siris 3

Iris 50



Iris 60

Nouvel ordinateur de la gamme CII, Iris 60 s'adresse à la grande entreprise en expansion. Il est conçu pour prendre en charge la gestion des réseaux téléinformatiques de plus en plus complexes et pour offrir à chacun des services de l'entreprise l'accès rapide à de vastes fichiers.

- Capacité mémoire	128 à 1024 K octets
- Cycle mémoire	750 nanoseconde / 4 Octets
- Débit mémoire	21,3 millions d'octets / seconde
- Vitesse de traitement	330 000 instructions / seconde
- Débit global des échanges	6 millions d'octets / seconde
- Système d'exploitation	Siris 3

Iris 60



10070

Puissant ordinateur universel, 10070 s'intègre aisément dans les systèmes complexes de traitement de l'information.

Totalement compatible avec Iris 80, ses systèmes d'exploitation s'adaptent parfaitement au traitement à distance et en temps partagé, ainsi qu'à la gestion des processus industriels.

- | | |
|-----------------------------|--------------------------------|
| - Capacité mémoire | 128 à 512 K octets |
| - Cycle mémoire | 850 nanoseconde / 4 Octets |
| - Débit mémoire | 28 millions d'octets / seconde |
| - Vitesse de traitement | 400 000 instructions / seconde |
| - Débit global des échanges | 15 millions d'octets / seconde |
| - Système d'exploitation | Siris 7 – BPM - BTM |



10070

Iris 80

C'est aujourd'hui le plus puissant des ordinateurs européens. Avec une mémoire de très grande capacité, un système d'échange évolué supportant des débits considérables, la possibilité de disposer de plusieurs unités centrales, Iris 80 est l'ordinateur du multitraitement et de la multiprogrammation au niveau le plus élevé.

- Capacité mémoire	256 à 4096 K octets
- Cycle mémoire	650 nanoseconde / 4 Octets
- Débit mémoire	49 millions d'octets / seconde
- Vitesse de traitement	
Monoprocasseur	660 000 instructions / seconde
Biprocasseur	1 200 000 instructions / seconde
- Débit global des échanges	42 millions d'octets / seconde
- Système d'exploitation	Siris 7 – Siris 8

Iris 80



Mitra 15

Avec 10010, 10020 et leurs prédécesseurs, CII a acquis 50% du marché français des ordinateurs utilisés en « temps réel ».

Forte de son expérience, et voulant aller plus loin, CII a mis au point Mitra 15. Par l'utilisation de circuits intégrés et la microprogrammation, Mitra 15 atteint un niveau de performances encore plus élevé.

La robustesse et la modularité de ce nouveau mini-ordinateur, la diversité des périphériques qui peuvent lui être connectés permettent de couvrir tous les domaines d'application (Industrie, Médecine avancée, Téléinformatique, Calcul scientifique).

- Capacité mémoire 1 K à 32 K mots de 16 bits
- Temps d'accès mémoire 400 nanoseconde
- Une à quatre unités de traitement
 - microprogramme : 512 à 1024 mots par unité de traitement
 - registres rapides : 16 à 64 par unité de traitement
- Multiplie / Divise en 7 et 8 microsecondes
- 32 niveaux d'interruption



Mitra 15

Défense Nationale

Installée à Vélisy, la division des applications Militaires Spatiale et Aéronautique (DMSA) a été créée pour répondre aux besoins des administrations militaires.

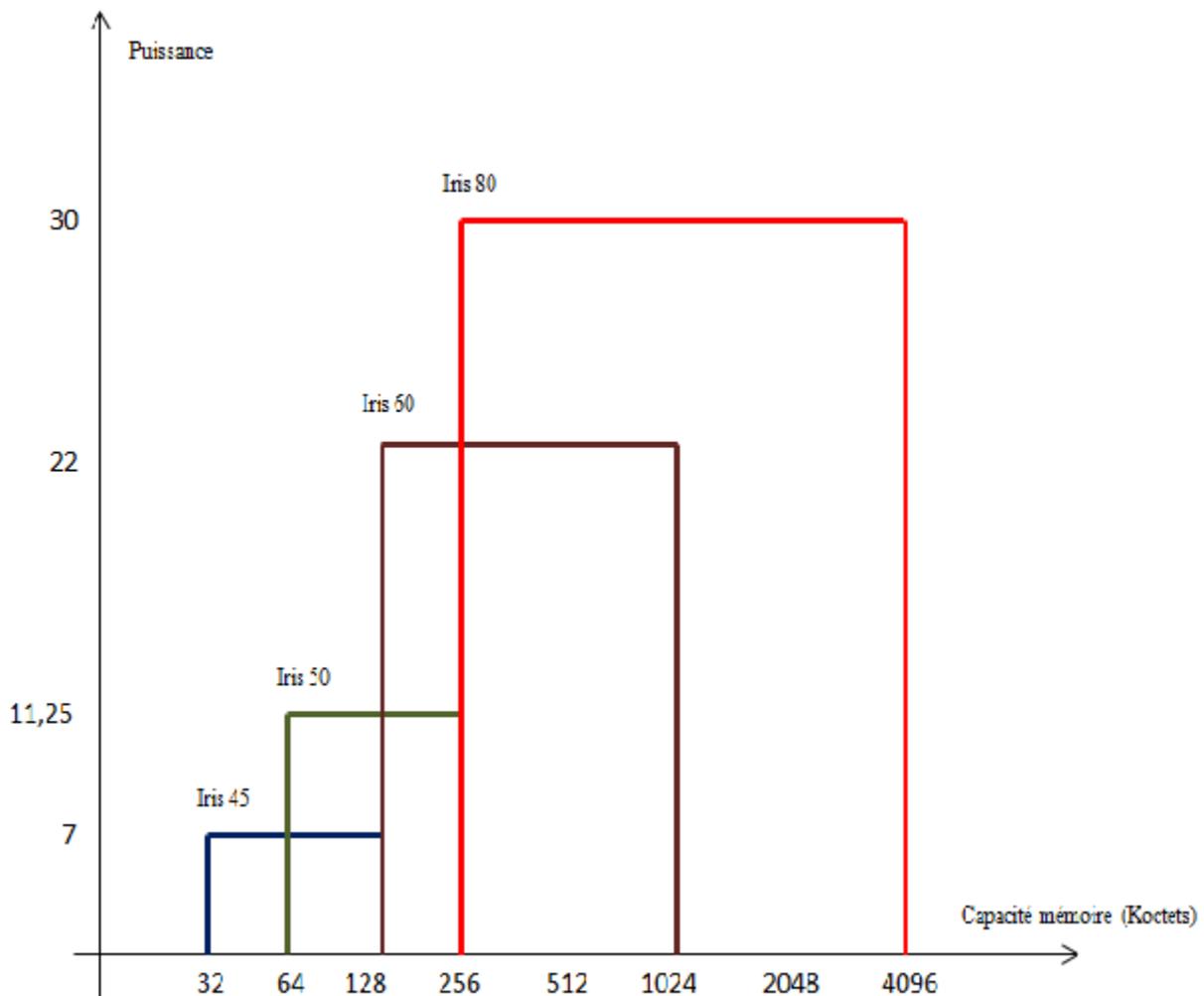
C'est ainsi qu'elle a mis au point une gamme d'ordinateurs mobiles, modulaires et compact, Iris 35M et Iris 55M.

Exceptionnellement robustes et fiables, ils répondent aux normes des armées de terre et de mer et sont compatibles avec les ordinateurs civils de la gamme Iris, avec lesquels ils sont aisément connectés.

Ces ordinateurs sont utilisés par les armées dans les systèmes d'armes et les centres de commandement mobiles.

En plus de la fourniture d'ordinateurs, DMSA étudie et met au point des systèmes particuliers, à base d'ordinateurs mobiles ou fixes, utilisé pour les sous-marins atomiques, les silos de fusées enterrées, les champs de tir, les armes tactiques.

Toutes ces réalisations nécessitent une parfaite maîtrise du Software en temps réel.



Différentes mémoires

Mon stage c'est effectué au service d'industrialisation dirigé par Monsieur PUCHEU ingénieur responsable.

J'étais sous la responsabilité de Monsieur BEDOUCK ingénieur dirigeant la section mémoire.

Le but de cette section st la mise au point des blocs mémoire à tores et les réparations sur les blocs déjà en service.

Plusieurs types de mémoires sont vérifiés :

- mémoires P1, POM (version militaire de P1),
- mémoires P2MS (militaires),
- mémoires P3,
- mémoires Q0.

Plusieurs types de tests sont effectués :

- test des tissages des plans de tores venant de l'extérieur,
- test des plans de tores équipés,
- test des plans interrupteurs,
- mise au point – réparations des blocs mémoires entiers.

Un groupe d'ouvrières spécialisées permet d'effectuer les réparations sur place. Elles effectuent aussi la construction des préséries Q0 et des prototypes.

Un nouveau type de mémoire est actuellement en étude, mémoires MOS. Les avantages sur les mémoires tore seraient :

- encombrement réduit,
- prix de revient diminué,
- espérance d'une plus grande rapidité.

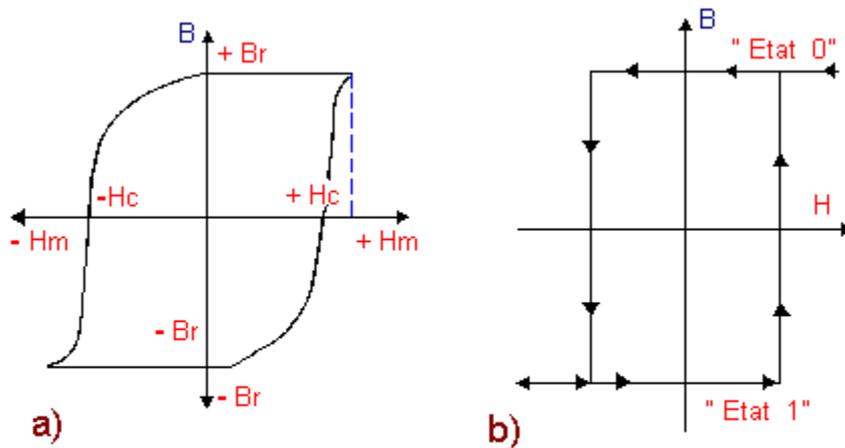


Mémoire à tores de ferrite

Principe

Certaines ferrites de cuivre et de manganèse (ferroxcube) présentent deux caractéristiques très intéressantes :

- Leur champ coercitif (**H_c**), c'est-à-dire le champ pour lequel la magnétisation s'annule, est très faible.
- Le cycle d'hystérésis de ces ferrites est quasi rectangulaire.

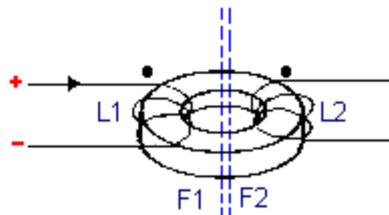


Le cycle d'hystérésis des ferrites utilisés pour la réalisation des tores (a) est très peu différent du cycle idéal (b).

Il suffit donc de prendre des conventions logiques :

Écriture : L'état **0** sera donné par le sens du champ magnétique engendré par un courant circulant dans le sens de la flèche dessinée sur l'enroulement **L1** et par conséquent de l'induction rémanente **+ B_r** résultant de ce champ.

Le tore sera à l'état **1** lorsque le sens de l'induction sera l'inverse de celui nécessaire pour produire l'état **0**.



Tore de ferrite sur lequel on a mis deux enroulements L1 et L2 souvent réduits à deux fils F1 et F2.

Lecture : Faisons parcourir l'enroulement **L1** par un courant **I**. Ce courant produit un champ magnétique. Selon l'état initial de magnétisation du tore, deux choses peuvent se produire :

► Si le tore était à l'origine dans l'état d'induction rémanent **+ Br (état 0)** sa perméabilité est faible et, si le cycle d'hystérésis de la ferrite est parfaitement rectangulaire, comme représenté figure 52-b, on ne recueillera aucune tension aux bornes de l'enroulement **L2**.

► Si au contraire, l'état initial du tore était à **l'état 1**, le champ induit, s'il a une valeur au moins égale à **Hm**, provoque le basculement de l'état magnétique de ce tore dans l'état **0**. Ce faisant, le point de fonctionnement va traverser une zone à forte perméabilité de la caractéristique de la ferrite, d'où il résultera une variation de flux qui engendrera aux bornes de l'enroulement **L2** une force électromotrice.

Raccordement et utilisation

Nous avons vu que pour faire basculer un tore magnétique à cycle d'hystérésis rectangulaire de l'état **0 (+ Br)** à l'état **1 (- Br)**, il faut un champ ou une force magnétomotrice au moins égale à **Hm**.

Si pour produire un champ **Hm**, il faut un courant **Im** parcourant un fil, il faudra si l'on utilise deux enroulements, deux courants **Im / 2** de même sens. On n'obtiendra ainsi le basculement du tore que si les deux enroulements sont alimentés simultanément par une impulsion de courant **Im / 2**.

Ce principe de coïncidence des courants est celui utilisé dans les mémoires magnétiques. Le schéma suivant montre la structure d'une mémoire à tores de ferrite. On y voit une matrice à **9 tores** de ferrite. Dans la réalité, ces mémoires en comportent des milliers.

Ce système permet de mémoriser **9 bits**.

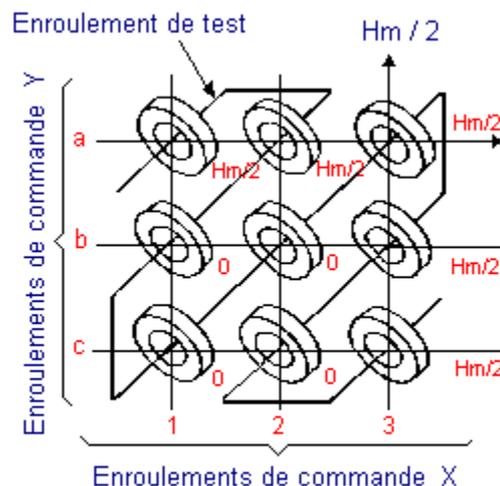


Fig. 54. - Structure d'une mémoire à tores de ferrite.

Les tores sont disposés selon des rangées et des colonnes. Pour accéder à l'un de ces tores pour lire ou écrire, on envoie simultanément une impulsion sur le fil des rangées (**Y**) et sur celui des colonnes (**X**)

Prenons par exemple le tore situé à l'intersection de la rangée **b** et de la colonne **2**. Supposons qu'à l'origine tous les tores de la matrice soient à l'état **0**. Si nous envoyons à la fois dans les deux fils une impulsion de courant au moins égale à **Im**, le tore bascule à l'état **1**. Si maintenant nous faisons parcourir les deux mêmes fils par un courant de sens inverse, le tore va rebasculer dans l'état **0** et le fil de test qui traverse tous les tores de la matrice sera le siège d'une impulsion résultant de la lecture de l'information contenue en mémoire.

Nous voyons que la lecture de la mémoire est destructive, c'est-à-dire que l'information est perdue après chaque lecture ; il est donc nécessaire dans cette technologie, de réécrire l'information après chaque lecture.

Dans les systèmes proposés par les constructeurs, au lieu d'inverser le sens des impulsions dans une paire de fils pour la lecture et l'écriture de l'information, on utilise deux fils verticaux et deux fils horizontaux alimentés en sens inverse. Une paire est spécialisée pour l'écriture et l'autre pour la lecture. Pour réécrire l'information après lecture, il suffit donc de réinjecter sur les fils d'écriture une impulsion légèrement retardée par rapport à celle de lecture.

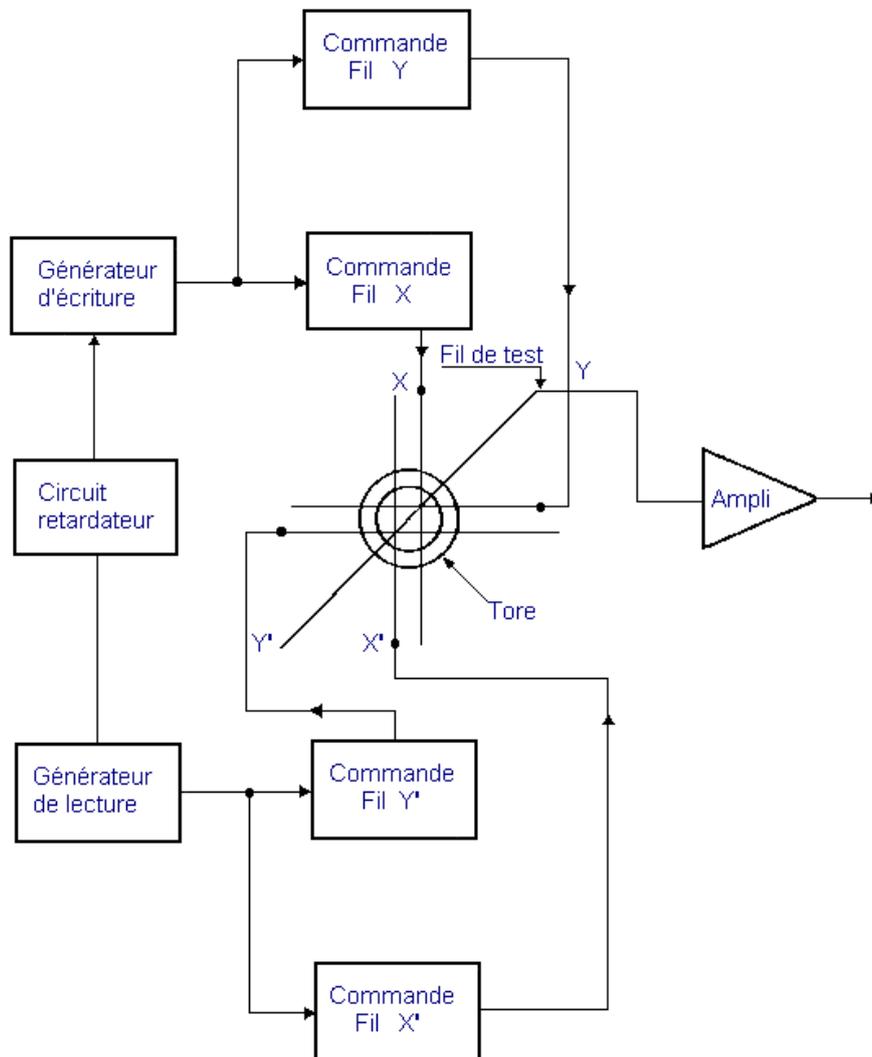
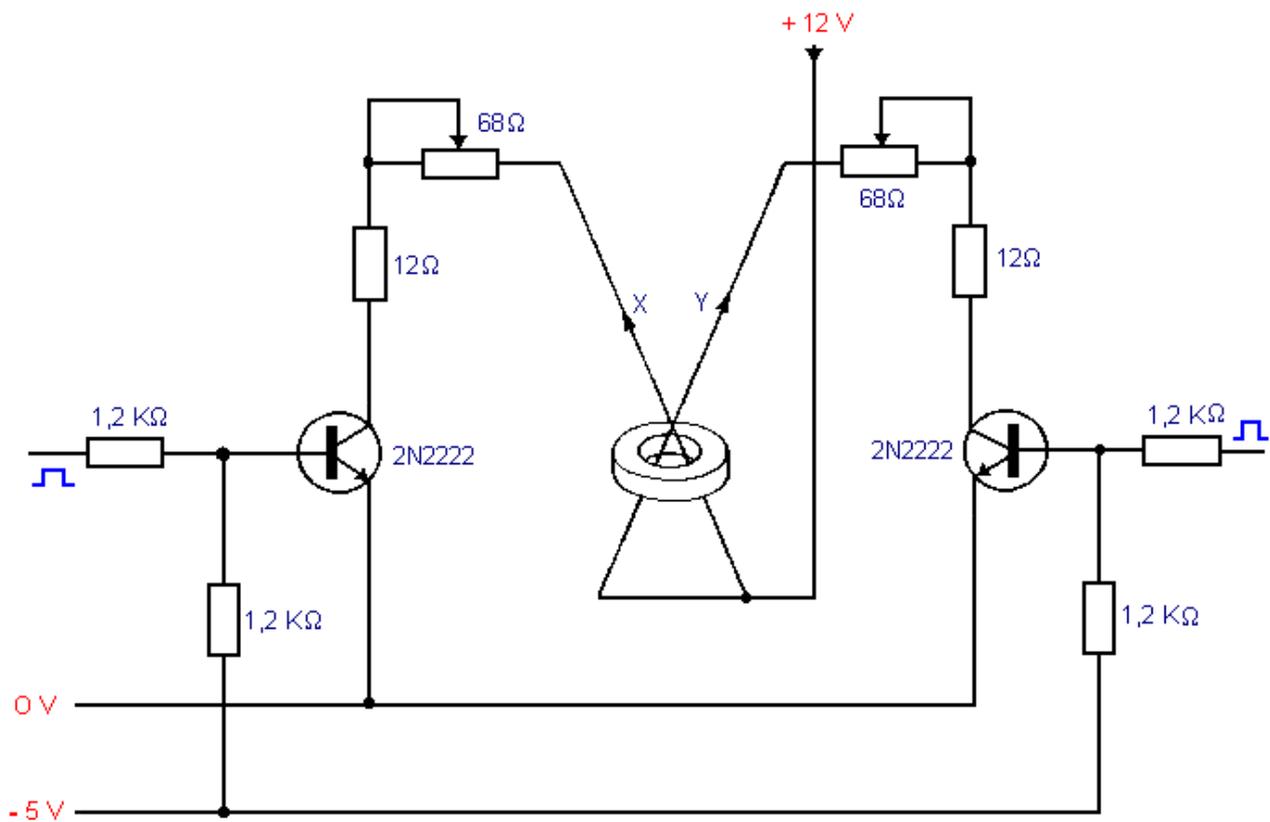


Schéma synoptique d'un système lecture / réécriture dans un tore magnétique

La figure suivante donne le circuit de commande de tores par transistors.



Circuit de commande à transistors d'un tore magnétique

Mémoires à tores P1

Capacité

Le module comporte 8 192 mots de 18 bits disposés en deux plans de 8 192 mots de 9 bits.

Il peut être exploité par commande spéciale comme mémoire de 16 384 mots de 9 bits.

Temps de cycle

Le cycle lecture + écriture, rapporté à l'interface modulaire est de 870 ns.

Temps d'accès

Le temps d'accès technologique est le temps séparant l'apparition à l'entrée du module du rythme de lecture Y de l'apparition en sortie du module de l'information lue. Il est de 250 à 320 ns.

Le module mémoire contient

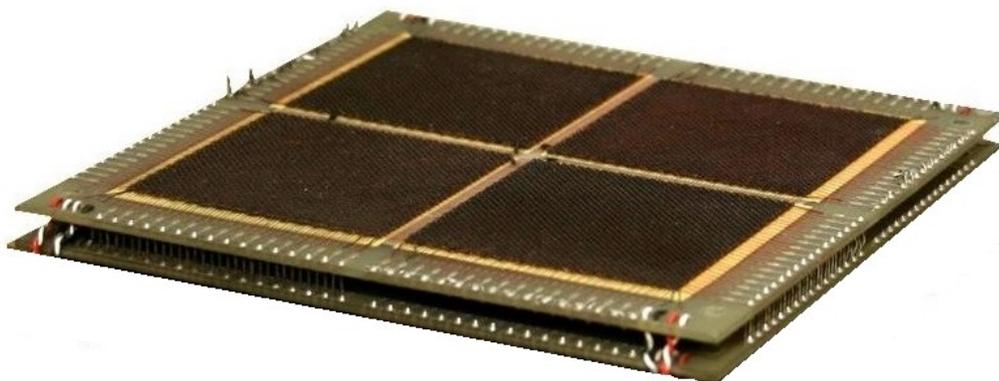
Deux plans de tores de 256 lignes et 9 fois 32 colonnes chacun.

Les outils de sélection commutant chacun en X et en Y le demi courant de lecture ou d'écriture.

Les amplificateurs de lecture et leurs servitudes (seuil de tension à créer).

Des circuits logiques, venant rajouter le bit d'information à la sélection écriture en Y.

Il existe une version militaire de cette mémoire c'est le POM, les caractéristiques sont les mêmes mais la fiabilité et la robustesse sont beaucoup plus grande.



Mémoire P1

Module Mémoires P2MS

Capacité

Le module comporte 16K mots de 18 bits disposés en deux plans de 8K mots.

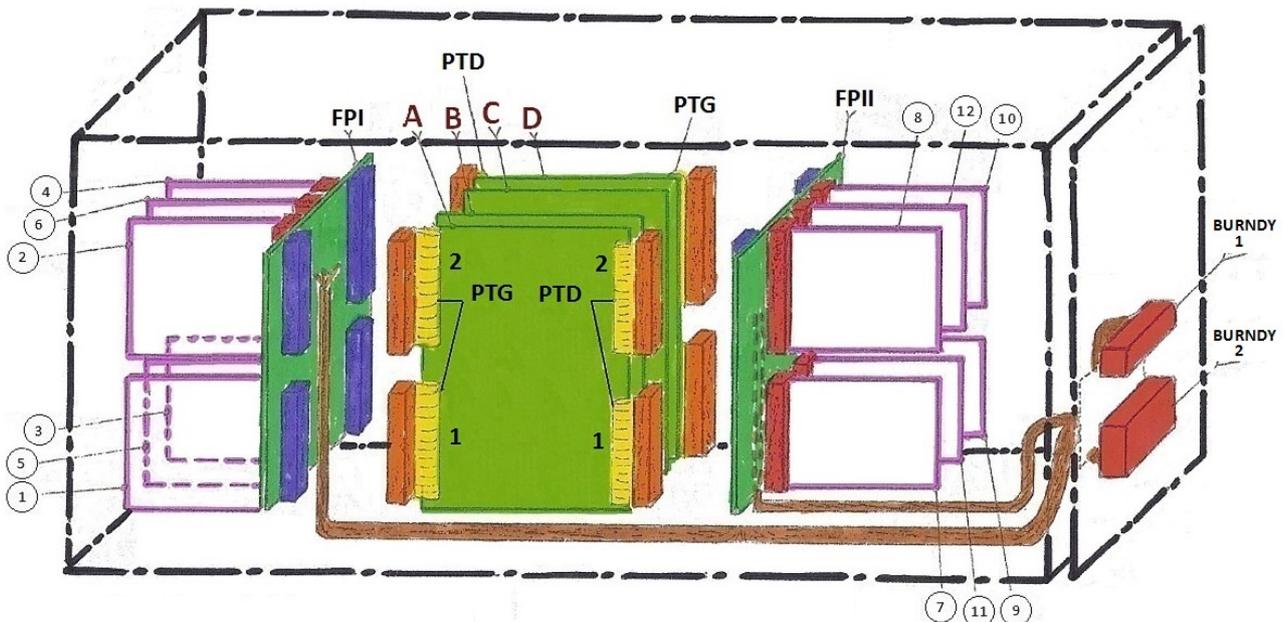
Temps de cycle

Le cycle lecture + réinscription, rapporté à l'interface modulaire est de 910 ns.

Structure

La mémoire est modulaire :

- Les interrupteurs de courants sont câblés sur des cartes enfichables réparties en 2 standards X et Y (1 à 12).
- Les plans de tores sont équipés de circuits imprimés souples et de connecteurs, ils sont de ce fait facilement démontables du module.
- Les fichiers BURNDY sont raccordés par deux torons au fonds de panier. Le passage du toron est prévu de telle sorte que l'ensemble puisse être facilement démonté du module.



Implantation du module mémoire 16K. 16 c. b. P2MS

Mise au point

Module 8K mots, il sera toujours équipé des plans mémoire A et B à cause de la compensation en température qui est effectuée à partir de ces deux plans.

La mise au point d'un module 8K mots ne pose pas de problème car les alimentations de seuil sont accessibles en retirant les plaques latérales de protection.

Module 16K mots, il est équipé des plans mémoires A, B, C et D de se fait un problème d'accessibilité se pose pour la mise au point des plans B et C.

Il faut procéder en trois étapes :

- mise au point réglages en 8K mots sur les plans A et B,
- mise au point réglages en 8K mots sur les plans C et D,
- test avec module en 16K mots.

Module Mémoires P3

Organisation générale de la mémoire P3

La mémoire principale d'un système P3 peut être composée de 1 à 16 blocs mémoires. Ces blocs fonctionnent indépendamment les uns des autres et d'une manière asynchrone par rapport à leurs utilisateurs.

La capacité d'un bloc est de 32 ou 64 K mots; la capacité maximum d'une mémoire P3 est donc 1 048 576 mots.

Les mots échangés avec l'utilisateur sont composés de 32 bits :

- Quatre bits de parité sont générés et contrôlés par le bloc mémoire lui-même, les mots emmagasinés en mémoire sont donc de 36 bits.

L'écriture de même que le contrôle de parité en lecture peut se faire par 1, 2, 3 ou 4 caractères de 8 bits.

- Les utilisateurs de la mémoire (unités centrales, unités d'échange ...) sont reliés aux blocs mémoires par l'intermédiaire de lignes omnibus « accès ».

Un bloc peut avoir 2, 4, 6, ou 8 accès.

Un bloc mémoire est composé de deux parties:

- Les accès mémoire,
- La mémoire magnétique.

La durée d'un cycle mémoire est de 650 +/- 40 nanosecondes pour une opération de lecture ou d'écriture.

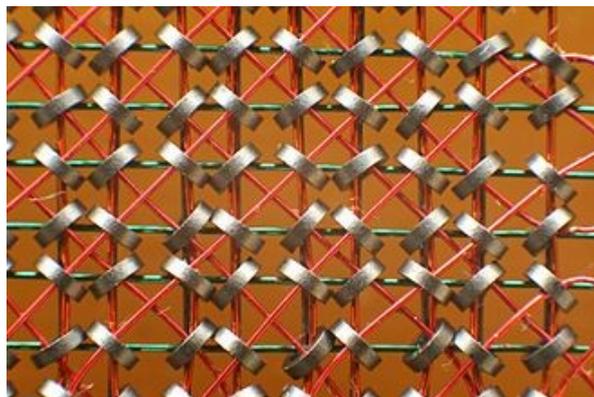
Un nouveau cycle peut être démarré dans un même bloc dès la fin du cycle précédent.

Le temps de sélection n'est pas le même pour tous les accès, l'accès 0 a un temps de sélection plus court que l'accès 1 à 7. L'accès 0 est appelé accès rapide.

Temps de sélection 33 nanosecondes Max sur l'accès rapide 0,
128 nanosecondes Max sur les accès 1 à 7.

Le temps d'accès propre de la mémoire est l'intervalle de temps s'écoulant entre l'arrivée d'une demande d'accès et l'instant où en lecture le signal de validation des informations lues est envoyé et où, en écriture le signal libérant les lignes d'information est envoyé.

La mémoire est magnétique est constituée de tores de 0,45 mm de diamètre. Elle est du type « 2D1/2 ». Chaque tore est traversé par 3 fils. Les tores sont tissés sur des plans en circuits imprimés.



Le module mémoire élémentaire enfichable est constitué de deux plans, un module contient 16 384 caractères de 9 bits.

Module Mitra Q0

Le module mémoire Mitra est du type à 3 dimensions 3 fils, à tores de lithium avec l'électronique associée.

Caractéristiques

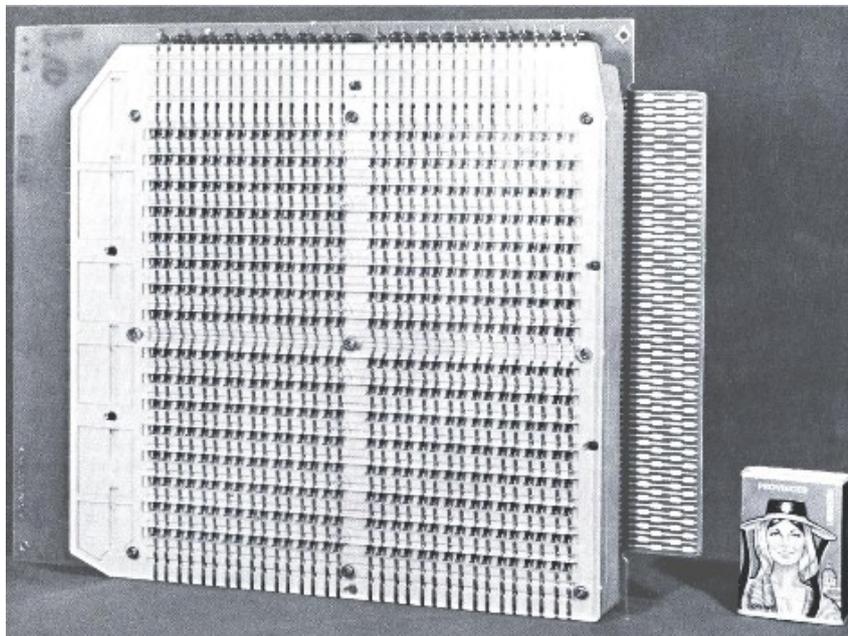
- capacité 8 K octet
- temps d'accès 250 ns
- température d'utilisation
 - de 0°C à + 50 °C en fonctionnement,
 - de - 20°C à + 70°C en stockage.
- tensions mémoires margeables à +/- 10% sur toute la gamme de température.
- un système a une capacité minimum de 8 K octet. Il peut avoir une extension modulaire jusqu'à 64 K octet (soit 18 bits de 32 K).

Packaging

Le module est constitué de 2 plaquettes assemblées entre elles :

- une plaquette FNII,
- une plaquette stack mémoire.

Cet ensemble modulaire prend la place de 2 cartes standard sur le fond de panier du MITRA.



Différentes tests des mémoires

Tests des tissages

Il a lieu sur le CTC M205. On vérifie les tissages arrivant de l'extérieur COFELEC, RTC, AMPELEX.

Il existe deux sortes de plan. La différence vient du circuit imprimé. Le plan économique a un circuit imprimé de 3 couches alors que le normal a un circuit imprimé de 4 couches.

Les tests ont lieu à 3 températures :

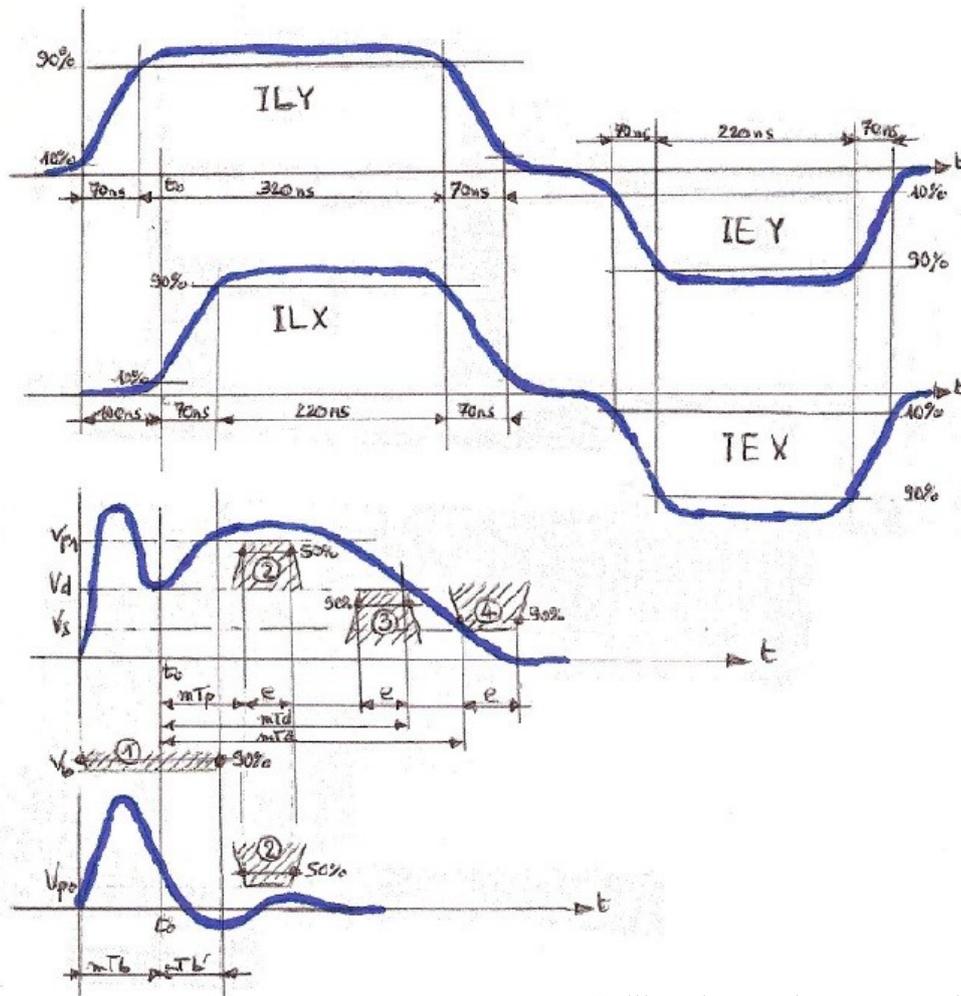
- pour les civils 25°C 0°C 50°C
- pour les militaires 25°C -40°C 85°C

Le testeur écrit et lit successivement pour un test. On envoie grâce au testeur des courants tels que le plan de tore sera dans les conditions les plus défavorables possibles. On a en plus une matrice de perturbation.

Le testeur génère aussi le strobe, impulsion rectangulaire réglable en position et en durée. Les réponses des tores doivent avoir lieu dans l'intervalle de temps du strobe pour être bonnes.

- si elles se produisent avant, le tore est rapide.
- si elles se produisent après, le tore est lent.

Sur les plans de tores neufs, certaines fois en plus des tests normaux des mesures sont faites, on recherche pour chaque plan de tores le V_{p1} Max et le V_{p0} Max pour différentes positions du strobe T_p et pour plusieurs températures.



Calibre du test d'une mémoire P1

Valeur des courants

25°C
IN = 700mA

ILX = IEX = 245mA
ILY = IEY = 285mA

Strobe "1" mTb = 100 ns
mTb = 60 ns

50°C
IN = 625mA

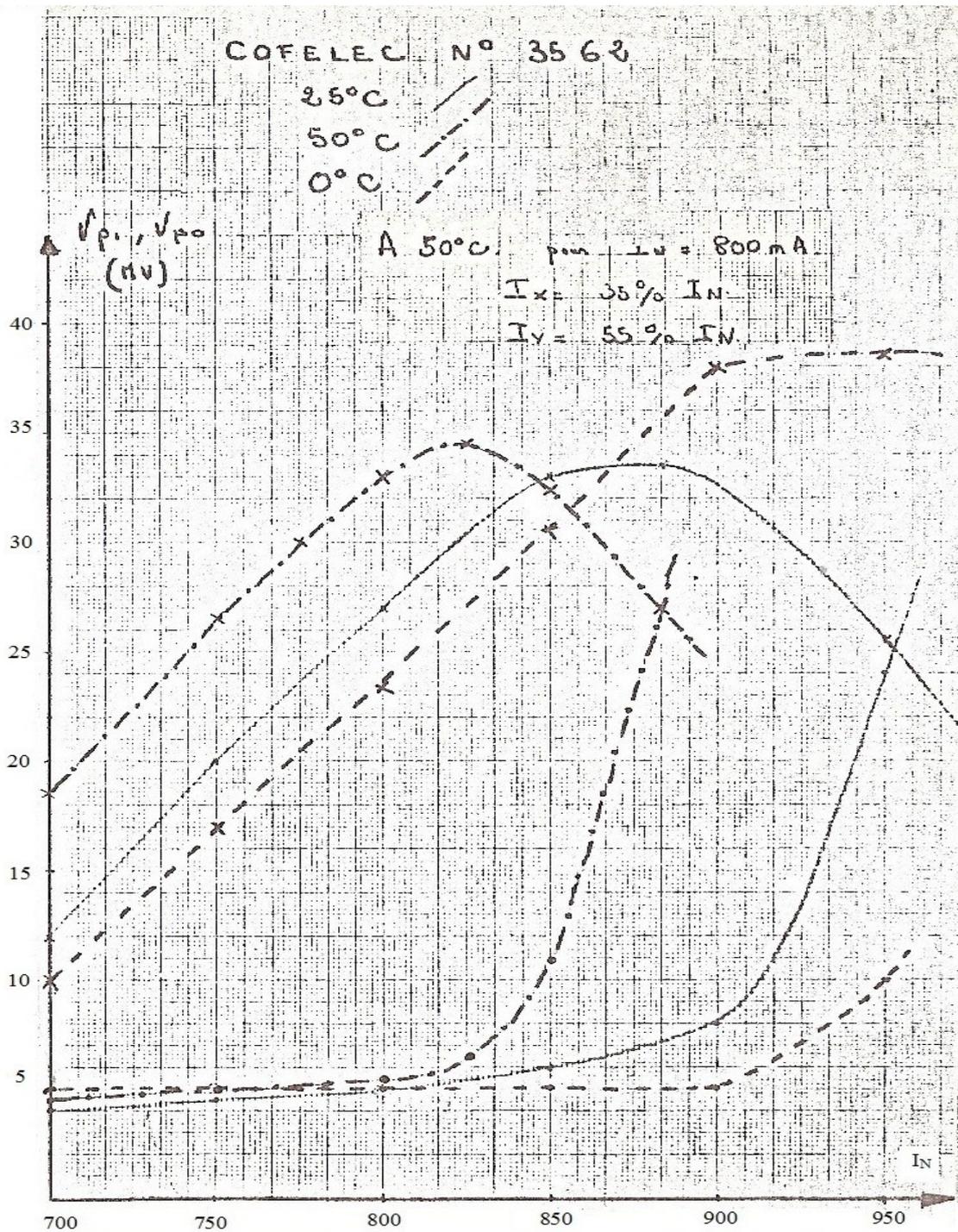
ILX = IEX = 219mA
ILY = IEY = 344mA

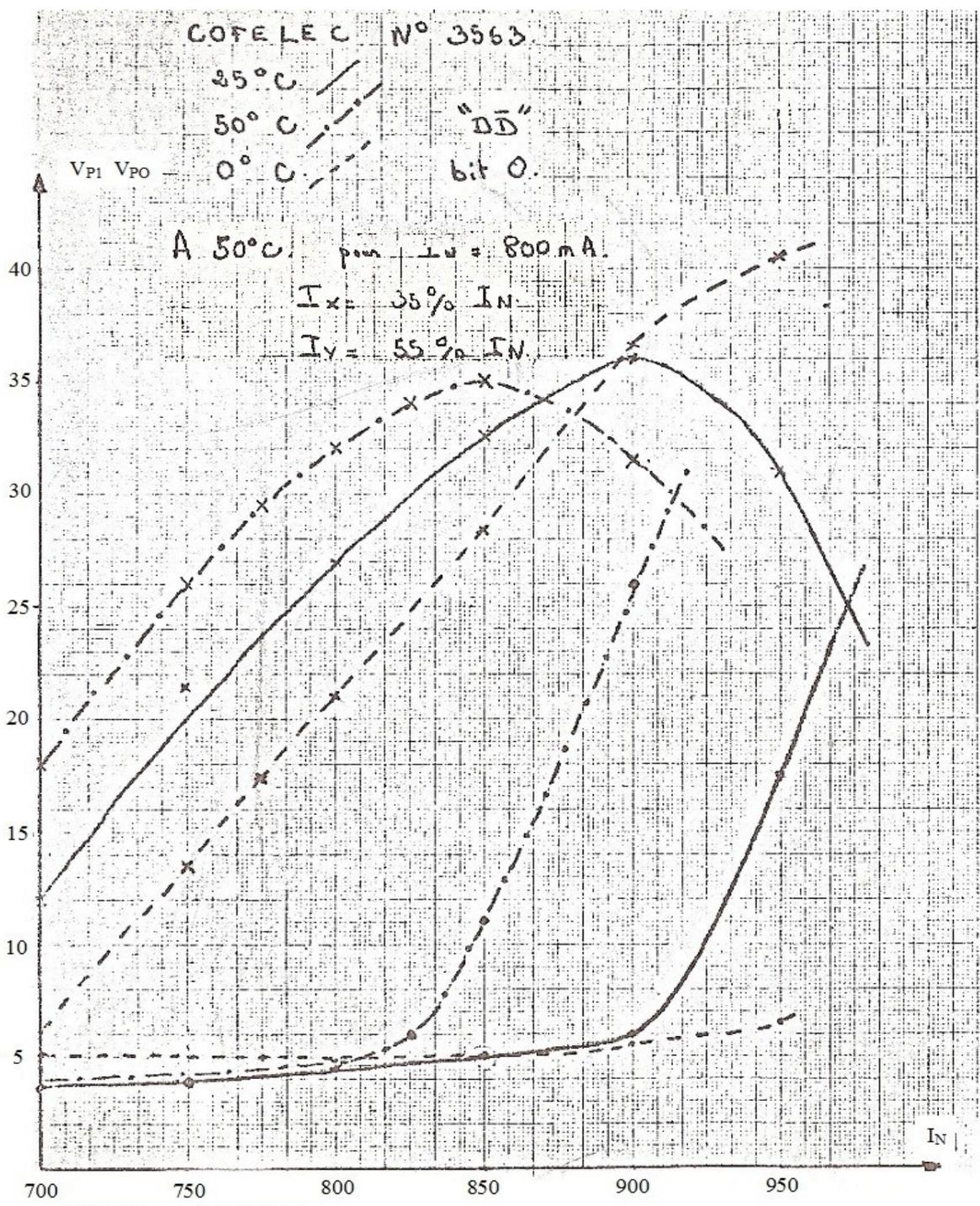
Strobe "2" mTP = 140 ns
Strobe "3" mTd = 190 ns
Strobe "4" mTs = 190 ns

0°C
IN = 775mA

ILX = IEX = 271mA
ILY = IEY = 426mA

Nota : épaisseur des échantillonnages
e = 30ns à 50%





Tests des plans interrupteurs

Il a lieu sur la QI 602. Le testeur simule les impulsions aux entrées des interrupteurs et il vérifie les sorties.

Il signale lui-même par un voyant le défaut ou la bonne marche du plan. Le test se décompose en deux parties :

- Test réduit. On applique des tensions réduites et on vérifie :
 - les courts circuits entre les tensions,
 - les courts circuits entre les sorties des interrupteurs.
- Test nominal. On applique les tensions nominales.

On teste donc le fonctionnement Normal des interrupteurs pour voir s'ils ferment bien.

Il y a deux sortes d'interrupteurs :

- les interrupteurs flottants, ils sont du côté générateur et ils ferment au potentiel positif.
- les interrupteurs masses, ils ferment à la masse.

A l'entrée rythme ou information on envoi un signal en créneau :

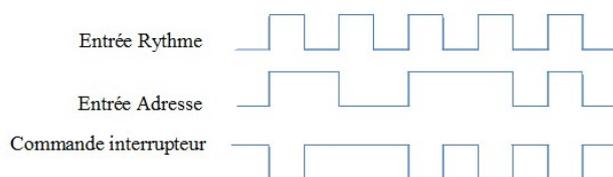
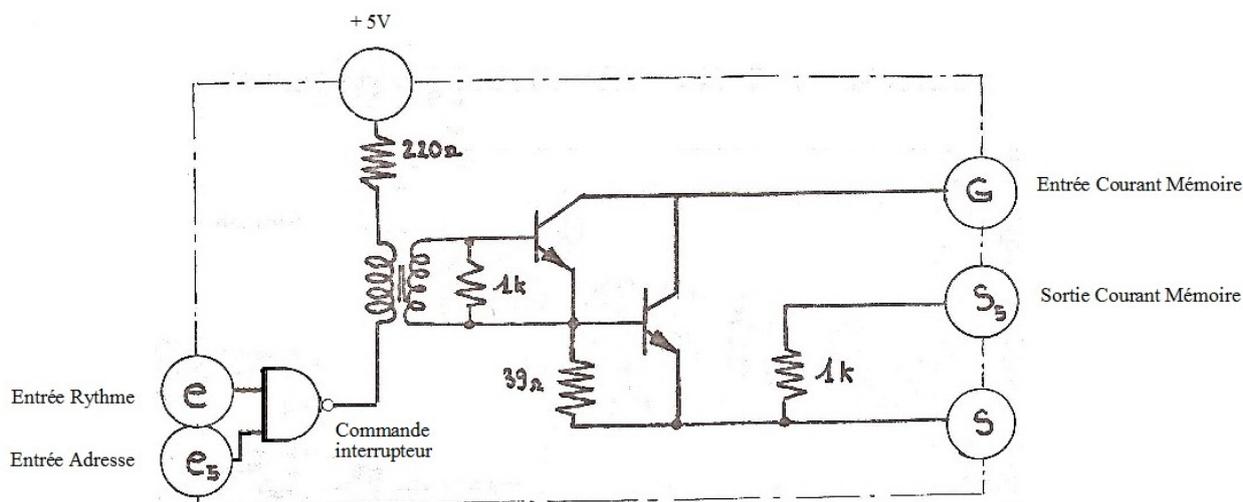
- Positif pour les X
- Négatif pour les Y

Ceci d'une façon continue.

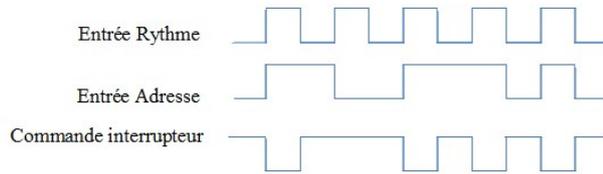
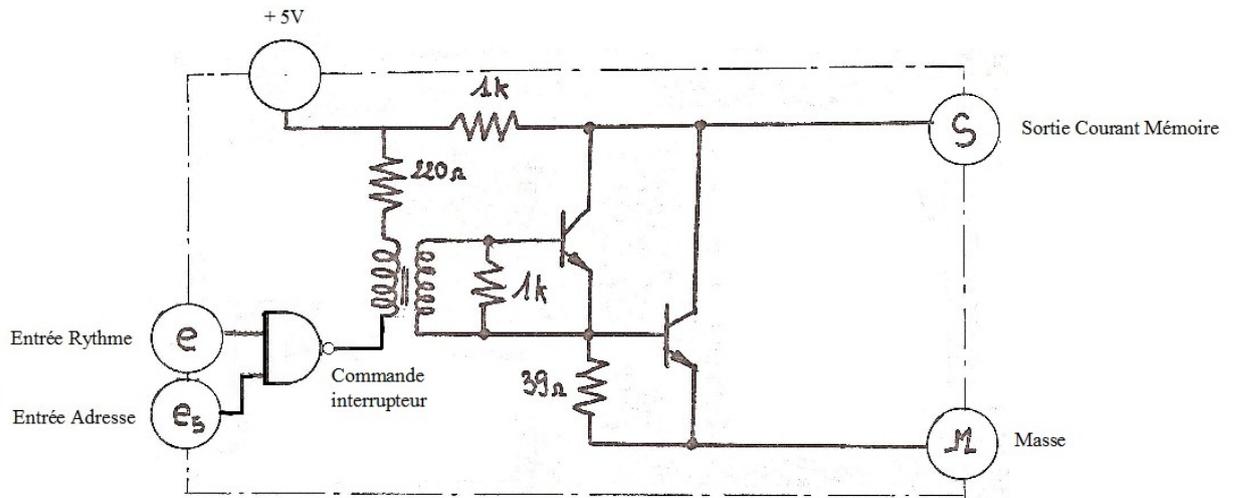
A l'entrée adresse, on envoi un signal de période variable. A l'entrée de l'interrupteur on a une bascule NAND.

Selon l'adresse nous aurons l'interrupteur qui fermera ou non. C'est le signal adresse qui en fait commande de l'interrupteur.

Interrupteur Flottant



Interrupteur Masse



Tests des plans équipés MAP

Il a lieu sur la QI 613 et la QI 81. Ces deux testeurs permettent :

- Dans un premier temps d'écrire des données,
- Dans un deuxième temps de lire les informations.



On peut voir aussi si les modules mémoires fonctionnent correctement. Le testeur est muni d'un oscilloscope pour la visualisation des signaux et d'un cinographe qui permet de tracer les domaines de marge.

Le domaine de marge ou « schnmoo » est l'ensemble des points où le bloc mémoire fonctionne correctement. On choisit dans ce domaine un point nominal centré de manière à rester constamment dans les tolérances +/- 15 % pour un seuil et +/- 10% pour V mémoire.

Le point nominal nous permet de déterminer le Vcc et donc de régler les alimentations de seuil des deux plans A et B. Ce réglage s'effectue après les tests à 0°C et 50°C.

Généralement on a le Vcc = 6V.

Mise au point

Le test se décompose en plusieurs parties

- 1) Test à la température ambiante + 25 °C

On règle les tensions du testeur

- pour les civils $V_S = 6 \text{ V } \pm 15\%$
 $V_M = 13,5 \text{ V } \pm 10\%$

- pour les militaires $V_S = 6,5 \text{ V } \text{ à } 7 \text{ V } \pm 15\%$
 $V_M = 17,5 \text{ V } \pm 10\%$

On trace les domaines de marge pour les deux plans A et B successivement.

- 2) Test à la température de 0 °C pour les civils -40 °C pour les militaires

On règle les tensions du testeur

- pour les civils $V_S = 6 \text{ V } \pm 15\%$
 $V_M = 15 \text{ V } \pm 10\%$

- pour les militaires $V_S = 6,5 \text{ V } \text{ à } 7 \text{ V } \pm 15\%$
 $V_M = 18,8 \text{ V } \pm 10\%$

On trace les domaines de marge pour les deux plans A et B successivement.

- 3) Test à la température de +50 °C pour les civils +70 °C pour les militaires

On règle les tensions du testeur

- pour les civils $V_S = 6 \text{ V } +/-15\%$
 $V_M = 12 \text{ V } +/- 10\%$

- pour les militaires $V_S = 6,5 \text{ V } \text{ à } 7 \text{ V } +/-15\%$
 $V_M = 16,5 \text{ V } +/- 10\%$

On trace les domaines de marge pour les deux plans A et B successivement.

- 4) Réglage de l'alimentation de seuil d'après les résultats des domaines de marge.

- 5) Test du vieillissement sur la QI 801 A

Elle fait automatiquement la lecture et l'écriture du plan mémoire

- à 0 °C on fait vieillir 8h au minimum en stockage.
- à + 50 °C on fait vieillir 8h en fonctionnement au minimum.

Pour les militaires

- à - 40 °C on fait vieillir 16h en fonctionnement.
- à +70 °C on fait vieillir 16h en fonctionnement.

- 6) Test final à + 25 °C

Avec tracé du schmoos des plans A + B simultanément après vieillissement.

Réparations

On effectue aussi des réparations sur ces blocs mémoires. Les alimentations de seuil étant déjà réglées. On met les alimentations du testeur.

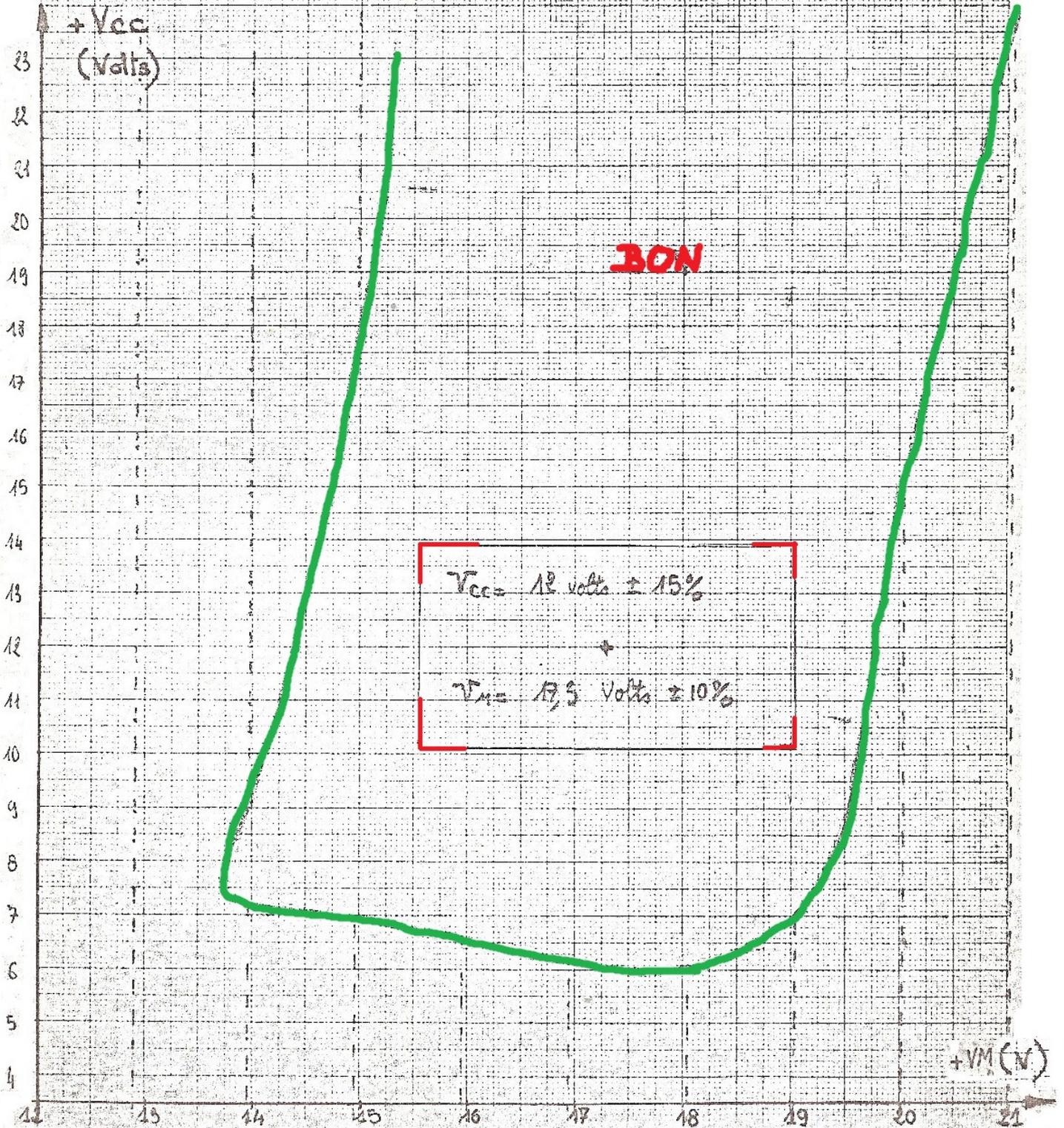
- pour les civils $V_S = 12 \text{ V } +/-15\%$
 $V_M = 13,5 \text{ V } +/- 10\%$

- pour les militaires $V_S = 12 \text{ V } +/-15\%$
 $V_M = 17,3 \text{ V } +/- 10\%$

On fait ensuite un schmoos des deux plans A + B après la réparation pour vérifier que le bloc est bon.

date: 28-05-78

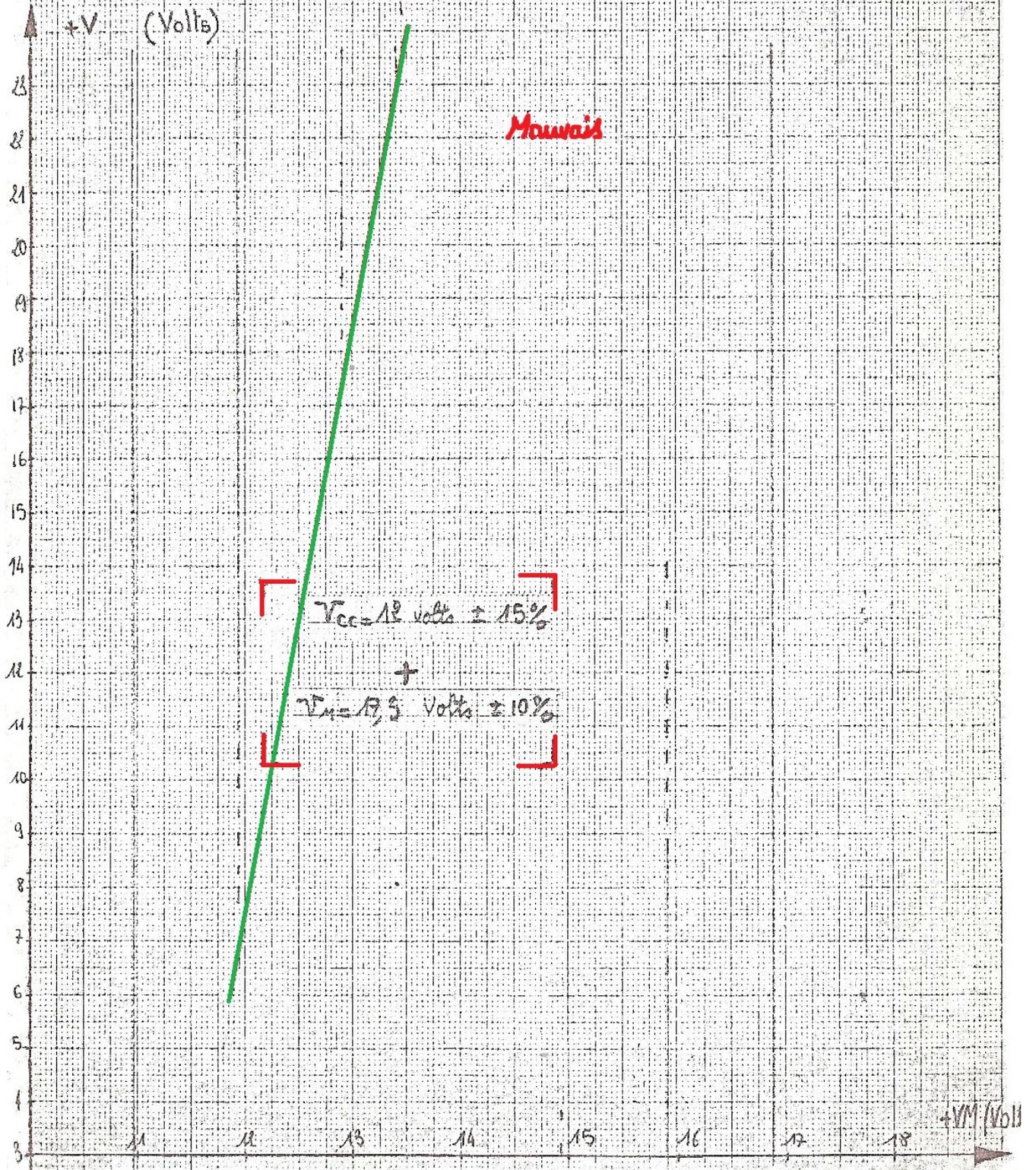
Relevé du domaine de marge du module mémoire 6° POM
à la température de 25 °C plans A+B
après vieillissement



date: 23.05.72

Relevé du domaine de marge du module révisé n° 1925
à la température de 25 °C
après réparation

plans A+B



Conclusion

Le travail que l'on m'a demandé de faire à la section mémoire consistait à tester des éléments de blocs mémoire et des blocs mémoire complets.

Ces blocs devant ensuite être montés sur les différents calculateurs de la gamme **CII**.

L'application des connaissances acquises à l'IUT m'a permis d'effectuer ce travail particulièrement intéressant et très instructif.

J'ai pu compléter mes connaissances d'automatisme et de logique acquises à l'IUT car ayant pris une option électronique je n'étais pas familiarisé avec les composants d'automatismes.